

Technische Informatik I / II

Prof. Möller

WS 1995/96

SS 1996

Wilko Hein

1 Grundbegriffe der E-Technik

1.1 Der elektrische Stromkreis

Plus/Minus, Verschiebung von Ladungen

1 A: Stärke des zeitlich unveränderlichen Stromes, der, durch zwei im Vakuum parallel im Abstand 1m angeordnete geradlinige, unendlich lange Leiter von vernachlässigbar kleinem, kreisförmigen Querschnitt fließend, zwischen diesen Leitern je 1m die Kraft $2 \cdot 10^{-7}$ N hervorrufen würde

.....	q	= I · t	Ladung [1C = 1As]
.....	E	= F / q_p	Elektrische Feldstärke [1V/m = 1N/C]
.....	W₁₂	= q_p · ∫₁² E · ds = U₁₂ · q_p = U₁₂ · I · t	
.....	U₁₂	= ∫₁² E · ds = W₁₂ / q_p	Elektrische Spannung [1V = 1Nm/C]
.....	P	= W / t = U · I	

1.2 Ohmsches Gesetz

.....	v	= - μ_e · E μ _e : Beweglichkeit d. Elektronen	Mittlere Driftgeschwindigkeit [1Am/N]
.....	S	= I / A = ρ · v ρ: Dichte der Ladung	Stromdichte [1A/m ²] [1C/m ³]
.....	κ	= -μ_e · ρ_e	Spezifische Leitfähigkeit [1A/Vm]
.....	S	= κ · E	Ohmsches Gesetz (diff. Form) [1A/m ²]
.....	R	= U / I	Ohmsches Gesetz
.....	G	= 1 / R	Leitwert

1.3 Kirchhoff'sche Gesetze

1.3.1 Knotenregel

1.3.2 Maschenregel

1.4.1 Die Kapazität

.....	U	= ∫ F ds = q ∫ E ds	
.....	E	= - grad φ = U / d	
.....	D	= ε₀ · ε_r · E = ε · E	Elektrische Verschiebungsdichte [1C/m ²] ε ₀ : [1As/Vm]
		ε: Dielektrizitätskonstanten	
.....	q	= ∫_A D dA [= D · A (homogen)]	
.....	C	:= q / U = 1 / ∫₁² (ds / εA) [= εA/d]	Kapazität [1F = 1As/V]
.....	Ũ_C	= (1 / j ω C) · Î_C	Wechselstrombetrieb
.....	X_C	= 1 / j ω C Strom eilt Spannung voraus	Kapazitiver Blindwiderstand

..... **Dämpfung in dB**

1dB := $10 \cdot \log P_2/P_1$, P hier die Leistung
 => Bei Spannung $P = U^2 / R$ => $1dB = 20 \cdot \log U_2/U_1$.

..... **Grenzfrequenz f_g** (ADD)

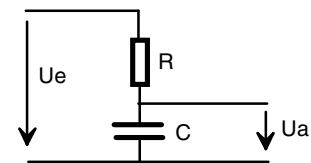
Abschwächung um 3dB. Bei Hoch/Tiefpaß dann Phasenwinkel 45° ; d.h. $Re=Im$
 => $U_2/U_1 = 1 / \sqrt{2}$

..... **RC-Tiefpaß** (ADD)

Übertragungsfunktion $G(\omega) = U_a / U_e = X / (R+X) = 1 / (1 + j \omega CR)$

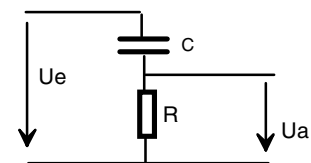
Amplitudengang $A(\omega) = |G(\omega)| = 1 / \sqrt{1 + (\omega CR)^2}$

Grenzfrequenz: $|U_a|/|U_e| = 1/\sqrt{2} \Rightarrow \omega RC=1 \Rightarrow f_g = 1 / 2\pi RC$



..... **RC-Hochpaß**

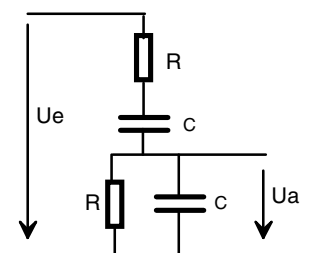
Grenzfrequenz: $|U_a|/|U_e| = 1/\sqrt{2} \Rightarrow \omega RC=1 \Rightarrow f_g = 1 / 2\pi RC$



..... **RC-Bandpaß (Wien-Brücke)**

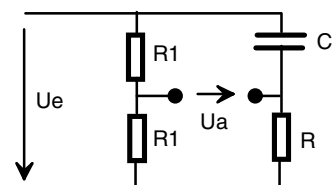
$G(\omega) = j \omega RC / ((j \omega RC + 1)^2 + j \omega RC)$

Resonanzfrequenz $\omega_{res} = 1 / RC$. Dort $G(\omega_{res})$ reell, $U_{amax} = 1/3 \cdot U_e$.



..... **RC-Phasenschieber (Allpaß)**

Phasenlage bei fester Frequenz kontinuierlich zwischen 0° und 180° zu ändern.



1.4.2 Induktivität

..... **L**

[1 Vs/A = 1 H]

Induktivität

..... **U**

= $L \cdot di / dt$

..... \hat{U}_L

= $(j \omega L) \hat{I}_L$

Wechselstrombetrieb

..... $X_L = j \omega L$ **Induktiver Blindwiderstand**
 Spannung eilt Strom voraus

..... **Differenzierglied**
 Reihenschaltung C-R. An R liegen in etwa nur die Flanken an.

1.5 Wechselströme und Netzwerke

..... $T = 1/f$ **T: Periodendauer, f: Frequenz**

..... $|i_{GI}| = 1/T \int_0^T |i| \cdot dt = 2 \hat{i} / \pi = 0.64 \hat{i}$ **Gleichrichtwert**

..... $I = \sqrt{(1/T \cdot \int_0^T i^2 dt)}$ **Effektivwert, Quadratischer MW**

..... **Formfaktor = Effektivwert / Gleichrichtwert**

..... **Frequenz L/R/C X über ω**
 R: Konstant, X_L : Ursprungsgerade, X_C abfallende Hyperbel

2 Grundbegriffe der Halbleitertechnik

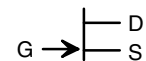
Allgemein Halbleiterstoffe
 Si, Ge: Dioden, Transistoren, ICs, Thyristoren
 PbS: Fotowiderstände

Bipolar-Transistor Temperaturbeiwert
 Änderung der spezifischen Leitfähigkeit pro Kelvin Temperaturänderung.
 Kompensation z.B. durch Emitter-Widerstand

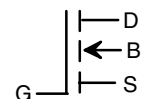
..... **Diffusionsgeschwindigkeit, Rekombinationsweglänge**

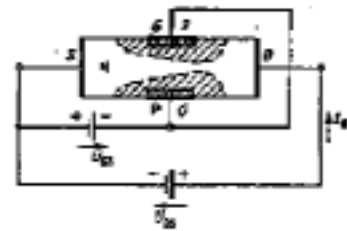
..... **Herstellung von Halbleiterbauelementen**
 1. Waver hochreines Si (99.99995%), Monokristall
 2. Lithographie: Film, Fotolack, trocknen, UV-Belichtung, Entwicklung, Waschen, Härten, Ätzen, Fotolack entfernen
 3. Dotierung: a) Durch Diffusion b) Durch Ionenimplantation
 Schritte 2. und 3. bis zu 12 mal wiederholt.

FET Feldeffekt-Transistore
 Source über Gate auf Drain.
 $R = \rho \cdot l / A$, A Querschnittsfläche des Kanals, durch Gate-Spannung zu variieren
JFET: (pn-Sperrschicht, etwa n-Kanal-JFET: n p n, p ist Gate), Sperrschicht-FET



$g_m := \Delta I_D / \Delta U_{GS} |_{U_{DS} \text{ const.}}$ **Steilheit**
MOSFET: SiO_2 als Isolator, 2 n-Rinnen in p-Schicht, n p n connected, Isolierschicht-FET



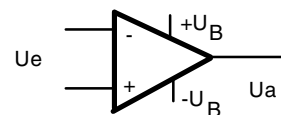


3 Analoge Bauelemente

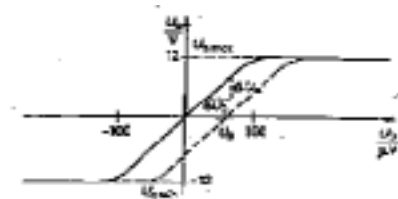
3.1 **Operationsverstärker OpAmp**

Gleichspannungs-Verstärker, basierend auf Transistoren. **Differenzverstärker.**

- Sehr starke Spannungsverstärkung
- Hoher Eingangswiderstand
- Geringer Ausgangswiderstand
- => Funktion nur von externer Beschaltung abhängig



OpAmp mit und ohne Offsetkompensation:



Abweichend vom Idealfall Offsetspannung U_0 (einige mV), Kompensation.

Differenzverstärkung $A_D := \Delta U_a / \Delta U_D \Rightarrow U_a = A_D U_D = A_D (U_p - U_n)$ nach Kompensation

Gleichtaktverstärkung $A_{Gl} := \Delta U_a / \Delta U_{Gl}$, wenn beide Eingänge auf U_{Gl} , also $U_D=0$. => $U_a \neq 0$

Kenngröße **Gleichtaktunterdrückung** $G := A_D / A_{Gl} = - \Delta U_{Gl} / \Delta U_D$.

$$\Rightarrow \Delta U_a = A_D \Delta U_D + A_{Gl} \Delta U_{Gl} \quad (U_{GL} ???)$$

$$\Rightarrow U_a = A_D [(U_D - U_0) + U_{Gl} / G]$$

..... **Gegenkopplung**

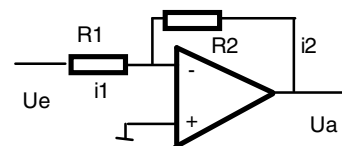
Rückgekoppelter k-Teil der Ausgangsspannung wird von Eingangsspannung subtrahiert.

Gesamtverstärkung $A = A_D / (1 + k \cdot A_D)$ für $k \cdot A_D \gg 1 \Rightarrow A \approx 1/k$.

..... **Invertierender Verstärker**

$i_1 + i_2 = 0$ (Idealer Verstärker, - Eingang auf virtuelle Masse)

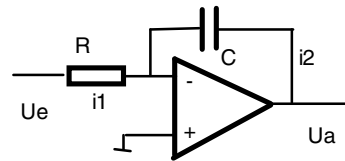
$$U_a / R_2 = - U_e / R_1 \Rightarrow U_a = - R_2 / R_1 U_e \Rightarrow A = - R_2 / R_1$$



..... **Invertierender Verstärker, Tiefpaßverhalten**

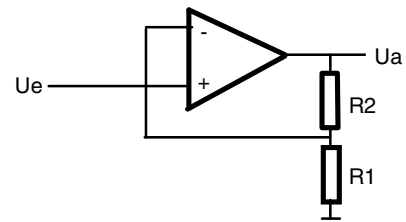
Frequenzabhängigkeit: Tiefpaßverhalten, ab f_g linearer Abfall des V

$$U_e = U_R + U_C = U_R + 1/C \int i \, dt = U_R + 1/R_C \int U_R \, dt \Rightarrow U_a = 1/\tau \int U_e \, dt, \tau = R_C \, ???$$

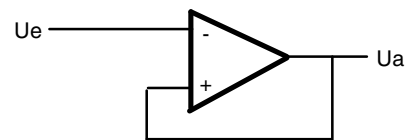


..... **Nichtinvertierender Verstärker (Elektrometer-Verstärker)**

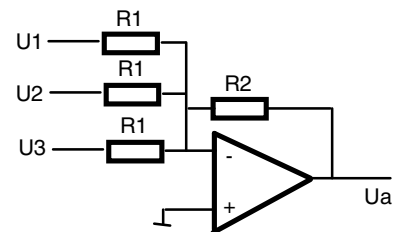
$$A = U_a / U_e = 1/k = 1 / (R_1 / (R_1 + R_2)) = 1 + R_2/R_1$$



..... **Spezialfall: Spannungsfolger (A=1)**

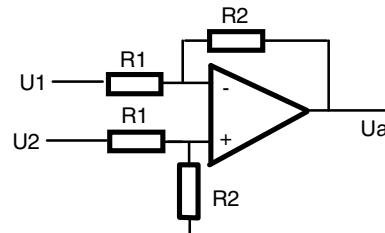


..... **OpAmp zur Addition**



..... **OpAmp zur Subtraktion**

$$U_a = R_2/R_1 \cdot (U_2 - U_1)$$



..... **OpAmp als Integrator**

Z.B. bei konstantem positiven Eingangssignal linear von 0 abfallendes Ausgangssignal.

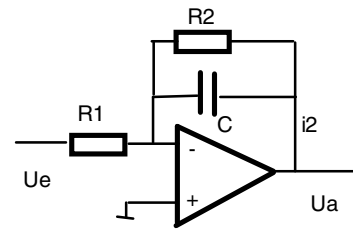
Beschreibung des Frequenzganges in komplexer Schreibweise:

$$p := \sigma + j \omega \Rightarrow A(p) = 1 / (1 + pRC)$$

$$\Rightarrow A(p) = -(R_2/R_1) / (1 + \omega p R_2 C)$$

Für $R_2 = \infty$: $U_a = -1/RC \int U_e \, dt$.

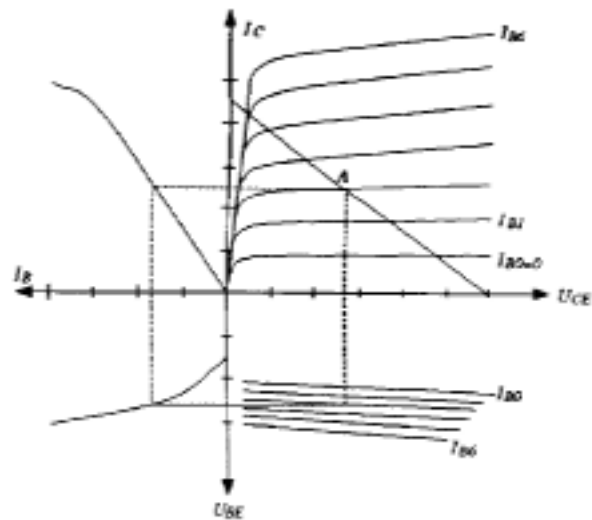
Dazu Schalter, welcher U_a zu definiertem Zeitpunkt auf Null setzt.



3.2 **Transistor**

Grundsaltungen: Emitter-, Basis- und Kollektorschaltung. Jeweils dieser Anschluß gemeinsam. Eingänge BE, EB, BC

..... **Kennlinienfeld bei Emitterschaltung**



U_{CE}, I_C, I_B, U_{BE}

1. Quadrant: Ausgangskennlinienfeld: I_C über U_{CE} (steuerbarer Widerstand), abhängig von I_B .

Wie Diode in Abhängigkeit von I_B .

2. Quadrant: Basis- gegen Kollektorstrom. Linear bis in Sättigungsbereich. $B=I_C/I_B$.

3. Quadrant: Eingangskennlinienfeld. In Durchlaßrichtung gepolte Diode => $U_{BE} < 1V$

4. Quadrant: Rückwirkungs-Kennlinien, abhängig von $I_B, U_{CE}=U_{CB}+U_{BE}$.

..... **Hybrid-Parameter (Transistor als Vierpol)**

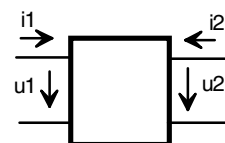
Vierpol-Parameter in Matrix $H = (h_{ij}), (u_1, i_2) = H \cdot (i_1, u_2)$.

Kurzschluß-Eingangswiderstand: $h_{11} = u_1/i_1 |_{u_2=0} = U_{BE}/I_B |_{U_{CE}=0}$

Kurzschluß-Stromverstärkung: $h_{21} = i_2/i_1 |_{u_2=0} = I_C/I_B |_{U_{CE}=0}$

Leerlauf-Spannungsrückwirkung: $h_{12} = u_1/u_2 |_{i_1=0} = U_{BE}/U_{CE} |_{I_B=0}$

Leerlauf-Ausgangsleitwert: $h_{22} = i_2/u_2 |_{i_1=0} = I_C/U_{CE} |_{I_B=0}$



..... **Arbeitsgerade**

$I_C = (U_B - U_{CE}) / R_C$. => Gerade im 1. Quadranten, Achsenschnitt bei $(U_B, 0)$ und $(0, U_B/R_C)$.

Arbeitspunkt auf Arbeitsgeraden, möglichst in der Mitte, damit Kennlinie ca. linear

..... **Berechnung des Basiswiderstandes**

Basiswiderstand: Pull-Up der Basis auf U_B . $U_B = I_B R_B + U_{BE}$ mit $U_B = 0.9V$ (Diode in Durchlaßrichtung). $\Rightarrow R_B = (U_B - U_{BE}) / I_B$.

..... **Invertierender Kleinsignalverstärker**

Kleinsignal: Transistor-Kennlinien in kleinem Bereich annähernd linear.

R_1/R_2 Basisspannungs-Teiler

Spannungs-Verstärkung: $V_u = R_C / R_E$, C_E vernachlässigbar.

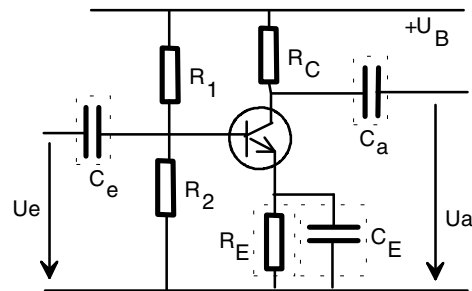
Verfeinerungen:

C_a, C_e : **Koppelkondensator**, Gleichspannungsanteil abblocken, d.h. durch R_1/R_2 Arbeitspunkt

R_E : **Temperatur-Kompensation**. Temperatur steigt $\Rightarrow I_C$ steigt $\Rightarrow U_{EG}$ steigt \Rightarrow

$U_{BE} = U_{BG} - U_{EG}$ fällt $\Rightarrow \beta$ fällt. **Strom-Gegenkopplung**.

C_E : Keine Temperatur-Kompensation für Wechselstrom, $R_{EG} \rightarrow 0$ bei Wechselstrom



..... **Kleinsignal-Kenngrößen**

(ADD)

Aussteuerung des Transistors mit kleinen Wechselgrößen niedriger Frequenz.

Stromverstärkungsfaktor β : $\beta := \Delta I_C / \Delta I_B$ bei $U_{CE} = \text{const.}$

Stromverteilungsfaktor α : $\alpha := - \Delta I_C / \Delta I_E$ bei $U_{CE} = \text{const.}$ $\Rightarrow \alpha = \beta / (1 + \beta)$

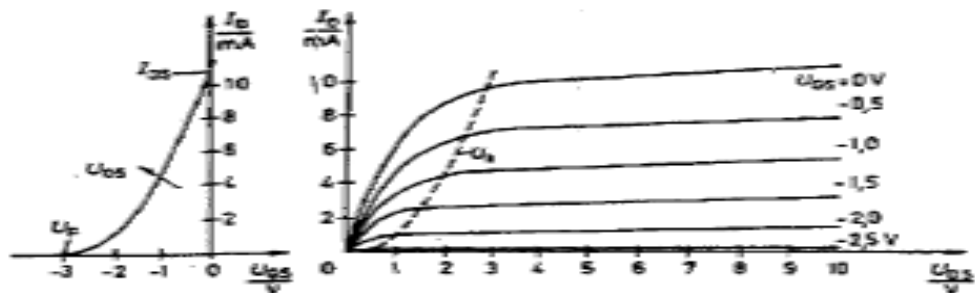
Eingangswiderstand r_{BE} : $r_{BE} := \Delta U_{BE} / \Delta I_B$ bei $U_{CE} = \text{const.}$

Ausgangswiderstand r_{CE} : $r_{CE} := \Delta U_{CE} / \Delta I_C$ bei $I_B = \text{const.}$ (Leerlauf) bzw. $U_{BE} = \text{const.}$ (Kurzsch.)

Spannungsrückwirkung v_r : $v_r := \Delta U_{BE} / \Delta U_{CE}$ bei $I_B = \text{const.}$

Transistorkapazitäten: Für jede der drei Elektroden

..... **Kennlinienfelder eines n-Kanal-Sperrschicht-FET**



- Hohe Schaltzeiten
- Hoher Eingangswiderstand
- Leistungslose Spannungssteuerung
- Geringe Temperaturabhängigkeit
- Unempfindlicher gegen radioaktive Strahlung als bipolare Transistoren

..... **Vorgehen zur Dimensionierung bei Emitterschaltung**

U_B vorgegeben. => U_{CEmax} abtragen => Widerstandsgerade durch $I_{Cmax} = U_B/R$, eventuell hier R aus festgelegtem I_{Cmax} berechnen. => Arbeitspunkt in Grenzparametern des Transistors wählen (oft $U_{CE(A)}$ vorgegeben) => I_B für Arbeitspunkt bekannt => $B=I_C/I_B$ im 2. Quadranten ablesen

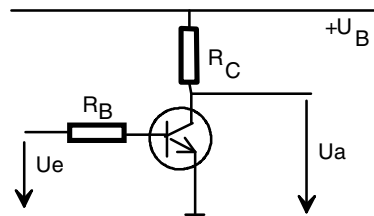
..... **Grenzdaten**

Im 1. Quadranten Schnitt durch P_{max} (Hyperbel) und I_{Cmax} (Parallele zur x-Achse)

..... **Übersteuerungsbereich**

1. Quadrant links von $U_{CB}=0$ Ursprungsgerade. Kollektor- und Emitterdiode in Durchlaßrichtung betrieben. D.h. $U_{BE} > U_{CE}$

..... **Transistor als Schalter**



1. Arbeitspunkt im Übersteuerungsbereich

$$I_C = \beta I_B + (1+\beta) I_{CB0}$$

$$I_B = 1/\beta (I_C - (1+\beta) I_{CB0}) \approx I_C/\beta - I_{CB0}$$

Ein-Zustand in Übersteuerung => $I_{Bein} > I_{Cein}/\beta - I_{CB0}$. Dazu $I_{CE} = (U_B - U_{CEein}) / R_C \approx U_B/R_C$
und $I_{Bein} = (U_{RB} - U_{BEein}) / R_B \Rightarrow (U_{RB} - U_{BEin}) / R_B > I_{Cein}/\beta - I_{CB0}$

2. Arbeitspunkt im Sperrbereich

...

3. Allgemeiner Fall

Zwei Schaltstufen hintereinander, dadurch Invertierung aufgehoben.

3.3 Kippstufen

Elektronische Schaltung, deren Ausgangssignal sich sprunghaft zwischen zwei Werten ändert. Dabei wird der Zustand der Schaltung entweder von dieser selbst oder von außen bestimmt.

..... **Rückgekoppelter Verstärker**

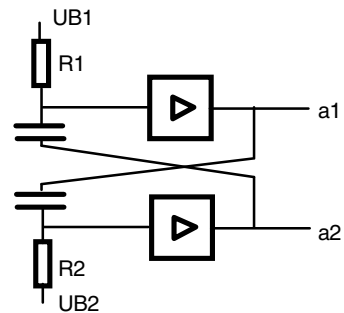
Signal über aktiven Vierpol mit Verstärkung $V=U_a/U_e$ an Ausgang. Dieser auch über passiven Vierpol an Eingang zurückgeschleift, Verstärkung $R=U_r/U_a$.

$$V^* = U_a^* / U_e^* = U_a / (U_e - U_r) = U_a / (U_e - R U_a) = V / (1-RV)$$

$$\text{Schwing-Bedingung } V_s = R \cdot V \geq 1$$

..... **Astable Kippstufe: Freischwinger Multivibrator**

Kein stabiler Zustand, kippt zwischen zwei metastabilen Zuständen, deren Dauer von der Kippstufe selbst bestimmt wird. => Rechtecksignal



Realisation durch Transistoren: Zwei Emitter-Schaltungen, Basis und Collector über 4 Widerstände auf +Ub, kreuzweise Kopplung durch Kondensatoren.

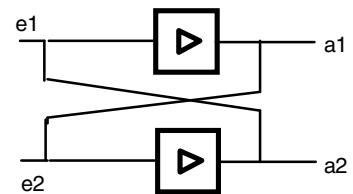
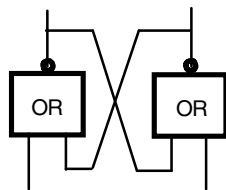
C_1, R_{B1} bzw. C_2, R_{B2} frequenzbestimmend.

Dimensionierung: 1. Auswahl des Transistor-Typs, 2. Festlegen der Versorgungsspannung, 3. $R_C = U_B / I_C$, $I_B = I_C / \beta \Rightarrow R_B \leq \beta R_C$ für beide Transistoren.

Taktzeiten: $t_{aus} = R_{B2} \cdot C_2 / \ln 2$

..... **Bistabile Kippstufe: Flip-Flop**

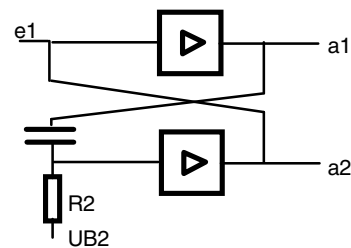
Zwei stabile Zustände. Das Umschalten erfolgt durch ein von Außen zugeführtes Signal. => Speicherbaustein



..... **RS-Flip-Flop**

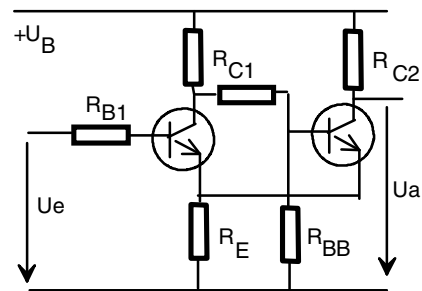
..... **Monostabile Kippstufe: Monoflop**

Ein stabiler und ein metastabiler Zustand. Nach von Außen zugeführtem Signal für fest vorgegebene Zeitspanne in metastabilen Zustand, dann in die Ausgangslage zurück.

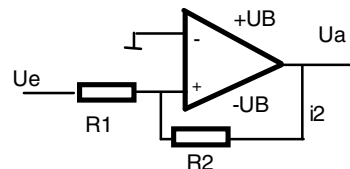


..... **Schmitt-Trigger**

Zwei stabile Zustände. Nach Überschreiten des Schwellwertes kippt der Trigger von einem Zustand in den anderen und verharrt dort solange, bis das Signal den Schwellwert unterschreitet. => Schwellwert-Diskriminator. Beachte: Hysterese



Beachte: $R_{C1}=0 \Omega$, $R_{BB}=\infty \Omega$ in TTL verwandt.
 Gemeinsamer Emitter-Widerstand: Im Umschaltbereich Verstärkung $\rightarrow \infty$
 Schaltung über OpAmp:
 Bistabil: Ausgang bei $+U_B$ oder $-U_B$. Schwellspannung $\pm U_S = \pm R_1/R_2 U_B$.



..... **Realisierung von Kippstufen**

durch Transistoren, OpAmps, Digital-Bausteine.
 I.A. Rückkopplung zweier Verstärkerstufen. eine aktiv, die andere passiv.

3.4 AD-Wandler

Klassifikation:

Langsam (10-50ms): Zählwandler, Spannungs-Frequenz-Wandler, Dual-Slope
 Mittelschnell (0.1-1ms): Wäge-Codier-Wandler, Tracking-Wandler
 Schnell (<1µs): Parallel-, Flash-, DMA-Wandler

Parallelverfahren, Zählverfahren, Wägeverfahren, Single-Slope, Dual-Slope.

..... **Parallel-Wandler**

Sehr schnell, aber hoher Schaltungsaufwand.
 Aufbau: Widerstandskette $R-2R-2R-\dots-2R-R$ generiert Bruchteile von U_{ref} , entsprechend viele Komparatoren (Ausgeführt als OpAmp). Halteglieder mit D-Flipflops, Decodierer wandelt unären Code in Binär-Code

Schritte: 1

Anzahl Referenzspannungen: n ($= 2^N$, N: Bit-Genauigkeit)

..... **Wandler durch Schrittweise Annäherung (Tracking-Wandler, Zählverfahren)**

Einfacher Aufbau, mittlere Wandlungszeit
 Steuerlogik inkrementiert/dekrementiert Zähler, dessen Signal über DA-Wandler dem Komparator zugeführt wird. Takt nötig.

Schritte: n ($=2^N$), im Realität jedoch langsame Änderung des Signales, schneller

Referenzspannungen: 1

..... **Wandler durch stufenweise Approximation (Wägeverfahren)**

Analoges Halteglied, Schieberegister wählt aktive Stelle des Binärwortes von MSB bis LSB.
 Probesetzen, Komparation von DA-Wandler und Signal ergibt, ob Bit wirklich zu setzen.

Schritte: N ($= \lg n$)

Referenzspannungen: 1 (Skript: N)

- **Single-Slope-Wandler**
Sägezahnspannung durch Fensterkomparator (2 OpAmps), der Bereich von 0 bis Signal überstreicht. Zeitmessung.
- **Dual-Slope-Wandler**
Große Genauigkeit bei relativ geringem Aufwand, lange Umsetzzeit
Abwechselnd negative Referenzspannung für konstantes Zeitintervall aufintegrieren und dann Eingangssignal abintegrieren. Während der Zeit bis zum Nulldurchgang Zähler betreiben.
- **Genauigkeit von AD-Wandlern**
Quantisierungsfehler $\pm \frac{1}{2}U_{LSB}$.
- **DA-Wandler**
Parallelverfahren, R-2R, Zählverfahren, Wägeverfahren
- **Parallel-Verfahren**
Widerstands-Kette R, 1-aus-n-Decoder greift Spannung ab.
- **R-2R-Netzwerk als DA-Wandler (Unterschied zum Parallelverfahren ???)**
R-Kette zwischen GND und U_{ref} . Zwischen je zwei Rs Abgriff über 2R an Schalter; entweder auf Ausgang oder GND.
Argumentation über Ströme durch die 2R. I, I/2, I/4, ...
- **Wägeverfahren**
Spannungsabgriff über Widerstände R, 2R, 4R, 8R, ..., die entweder an V_{ref} oder GND geschaltet werden.
- **Zählverfahren**
Pulsweises Laden eines Kondensators über Widerstand. Mittelwert proportional zu Austastverhältnis. Träge.
- **Fehler von DA-Wandlern**
Sperrschichtströme bei Schaltern bedingen **Nullpunktfehler**
Ungenauigkeit der Widerstände: **Vollausschlagfehler**
Durch entsprechende Schaltungsmaßnahmen zu kompensieren.
Signalschwankung von $\pm \frac{1}{2}U_{LSB}$ dagegen nicht zu kompensieren.

4 **Digital-Halbleiter-Bauelemente**

4.1 **Grundbegriffe der Digitaltechnik**

SSI, MSI, LSI, VLSI. Zukunft ULSI, WLSI

Unterscheidung zwischen positiver und negativer Logik!

Positive Logik: 1=H. 0=L. Negative Logik: 0=H, 1=L

TTL: Transistor-Transistor-Logik

ECL: Emitter-gekoppelte Logik

MOS: Metall-Oxyd-Schaltungen. *Können als Widerstand fungieren!*

CMOS: Komplementäre MOS. NMOS und PMOS (N- bzw. P-Kanal) zusammen.

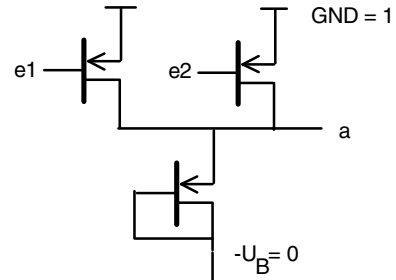
	TTL	MOS
Mittlerer Leistungsverbrauch	15mW	5mW
Mittlere Verzögerungszeit	12ns	200ns
Ausgangstreiber-Leistung	10	5
Betriebsspannung	5V	bis 20V
Flächenbedarf	0.5 mm ²	0.2 mm ²

..... **TTL-NAND**

Multi-Emitter-Transistor als Eingang, dann Gegentakt-Endstufe

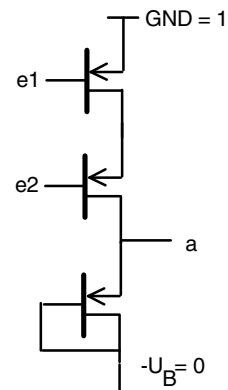
..... **MOS-NAND, negative Logik**

1=L, 0=H. => LL→H, LH→L, HL→L, HH→L



..... **MOS-NOR, negative Logik**

1=L, 0=H. => LL→H, LH→H, HL→H, HH→L



..... **Vergleich der Leistungsfähigkeit logischer Schaltkreis-Familien**

- Verarbeitungsgeschwindigkeit
- Integrationsgrad
- Verlustleistung

..... **TTL**

Vorteile: Vielfalt, Verbreitungsgrad, Standard, niedrige Preise

Nachteile: Hohe Verlustleistung, Temperaturprobleme, nicht kompatibel zu MOS & CMOS

..... **CMOS**

Vorteile: Niedrigster Leistungsbedarf, großer Versorgungsspannungs-Bereich

Nachteile: Niedrige Geschwindigkeit, große Parameter-Toleranzen, empfindlich gegen kapazitiv wirkende Störungen

..... **ECL**

Vorteile: Größte Verarbeitungsgeschwindigkeit, hoher Eingangswiderstand

Nachteile: Nicht kompatibel zu TTL und CMOS, hoher Leistungsbedarf

..... **Schottky-TTL**

Realisiert durch Metall-Halbleiter-Übergänge

Vorteile: Hohe Geschwindigkeit, kompatibel zu MOS

Nachteile: Weniger Standardbausteine, höherer Preis

..... **Low-Power-Schottky**

Vorteile: Kleine Verlustleistung, s.o.

4.2 Logikschaltungen I

4.2.1 Allgemeine Betrachtungen

Zustände E, Zustände A. $A_j = f(E_1, E_2, \dots)$ bei sequentieller Schaltung
 $A_j = g(E_1, \dots, E_n, z_1, \dots, z_m), z_i$: Zeitabhängige Glieder: Speicher, Kippstufen etc.

4.2.2 Wahrheitstabellen

4.2.3 Logische Grundfunktionen

AND: $a = e_1 \cdot e_2 = e_1 \wedge e_2 = e_1 \& e_2$

OR: $a = e_1 + e_2 = e_1 \vee e_2 = e_1 | e_2$

ID

NAND

NOR

XOR: $a = e_1 \cdot \neg e_2 + \neg e_1 \cdot e_2 = e_1 \oplus e_2$ OR und NAND verANDen

IS: $a = e_1 \cdot e_2 + \neg e_1 \cdot \neg e_2 = e_1 \odot e_2$

..... Belastungsangaben für logische Verknüpfungen

FAN-OUT F_o : Ausgangsfächer, Ausgangsverzweigung

FAN-IN F_i : Eingangsfächer, Eingangsbelastung

4.2.4 Schaltungsentwurf am Beispiel von Registern

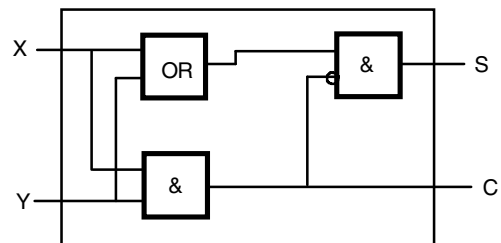
Getaktete JK-Flipflops aneinanderreihen

4.2.5 Schaltungsentwurf am Beispiel von Registern

Anreihung von 1-Bit-Vergleichern, welche $a > b$ bzw. $a < b$ -Signale generieren und von der Vorgängerstufe übernehmen

4.3 Rechenwerke

4.3.1 (2,2)-Addierer (Halbaddierer)



4.3.2 (3,2)-Addierer (Volladdierer)

Zusammensetzen aus zwei Halbaddierern und einem OR ???

4.4 Kippschaltungen

Flipflop

Flipflop ohne Taktsteuerung

Flipflop mit Taktsteuerung

Einspeicher-Flipflop

Zweisppeicher-Flipflop

mit dynamischer Zwischenspeicherung (Taktflanken-gesteuert)

mit statischem Zwischenspeicher (Taktzustandsgesteuert)

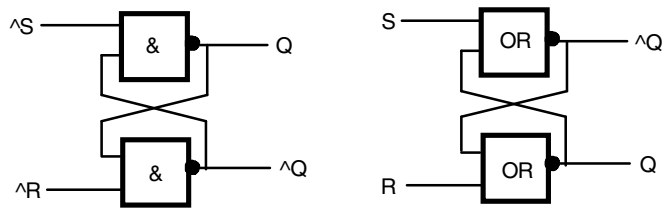
Kippschaltungen: **Rückgekoppelte Systeme** mit Mitkopplung, 2 Bedingungen

- Phasenbedingung: Signal und Mitkopplung phasengleich

- Amplitudenbedingung: $V_s = k \cdot v \geq 1$

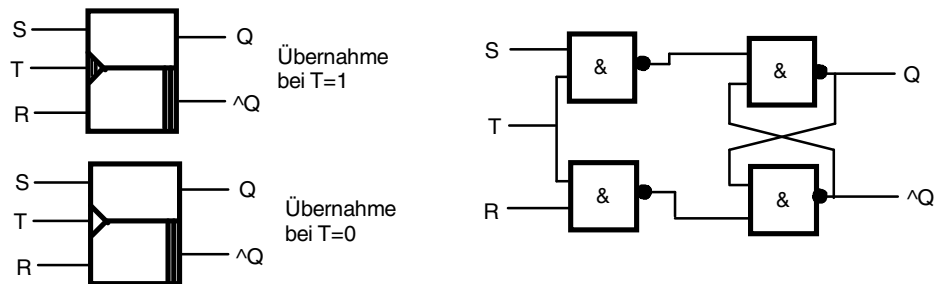
..... RS-Flipflop ohne Taktsteuerung

Gleichzeitiges Signal an R und S verboten!



..... **RS-Flipflop mit Taktsteuerung, Getaktetes RS-Flipflop, Auffang-Flipflop**

Gleichzeitiges Signal an R, S und T verboten!



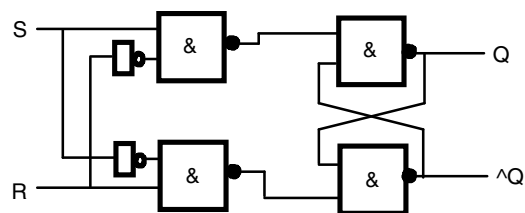
..... **D-Flipflop (Flipflop mit Vorbereitungseingang)**

Vermeidung der „verbotenen Belegung“ durch Nutzung nur eines Signales H/L



..... **E-Flipflop**

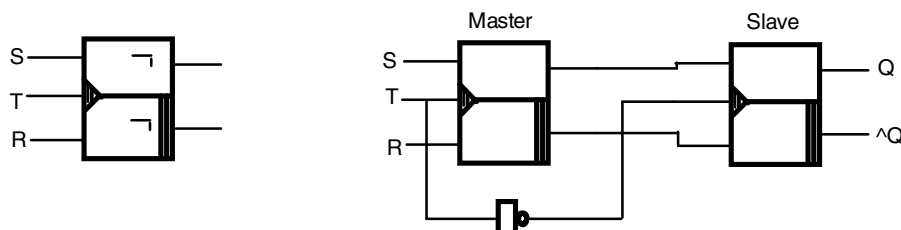
Nicht-getaktetes RS-Flipflop, das auch im „verbotenen Zustand“ das Signal hält.



..... **RS-Master-Slave-Flipflop, RS-MS-Flipflop**

Übernimmt an Takt-Flanke, retardierender Ausgang.

Wegen Signallaufzeit des Invertes bei nicht-idealem Rechteck-Takt Problem von Informations-Durchschleifung. Ansprechschwelle des Inverters daher oft abgesenkt.

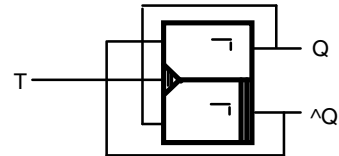


..... **JK-Master-Slave-Flipflop**

Kreuzweises Rückschleifen von Q und \bar{Q} an Sperr-ANDs des Master-Flipflops. Dadurch auch bei „verbotener Belegung“ Informations-Beibehalt

..... **T-Flipflop**

Toggle-Flipflop, Binärteiler, Frequenzhalbierer
Oft zusätzlicher Enable-Eingang.



5 Signalübertragung (ADD)

..... **Allgemeines**

Analog/digital möglich, Wirkungsgrad untergeordnete Rolle (Verstärker), dafür Störungssicherheit.

Frequenz an Übertragungsmedium anzupassen. Bei Draht-Übertragung oft gleicher Frequenzbereich, bei IR etc. aber Modulation nötig.

- **Amplitudenmodulation**
- **Frequenzmodulation**
- **Phasenmodulation**

..... **Frequenzband / Frequenzbereich**

Beliebiges Signal durch Überlagerung von Sinus-Signalen verschiedener Amplituden/Frequenzen darstellbar (Fourier, FFT).

Zur Bildung des Signales notwendige Teilfrequenzen bilden **Frequenzband**.

Frequenzspektrum: Amplituden der Sinus-Schwingungen der verschiedenen Frequenzen

Bandbreite: Mögliche Sinus-Frequenzen. Telefon: 300 Hz - 3400 Hz

..... **Kapazität eines Nachrichtenkanals**

Je mehr Informationen pro Zeiteinheit, desto schnellere Signalwechsel => **Bandbreite**

Einführung von Amplitudenstufen: Verhältnis der größten zur kleinsten Amplitude:

Dynamik

Nachrichtenquader: Zeit \times Bandbreite \times Dynamik

..... **Verzerrungen**

Grenzfrequenz der Übertragungsstrecke zu klein => Hohe Frequenzen gedämpft => Kurvenform der übertragenen Signale verfälscht.

Grenzfrequenz ermitteln: Rechtecksignal einspeisen, am Ausgang Anstiegszeit von 10% auf 90% messen. $f_0 \leq 1 / 2 \cdot t_r$.

6 Informationsdarstellung

6.1 **Informationsbegriff**

6.2 **Informationsbegriff nach Shannon**

Informationsgehalt eines Ereignisses $I(x_j) = \lg 1/p(x_j) = -\lg p(x_j)$

Je unwahrscheinlicher ein Ereignis, desto höher sein Informationsgehalt. Ein sicheres Ereignis hat den Informationsgehalt 0.

Informationsgehalt einer Zeichenkette durch Addition der Einzel-Informationsgehalte.
Wahrscheinlichkeiten als Produkt zusammenfaßbar

6.3 Grundlagen der Codierung

Codierung: „Formale Abbildung von einer Sprache auf eine andere“

Zeichen des Quellalphabets auf Zeichenfolgen des Zielalphabetes so abgebildet, daß die resultierende Zeichenfolge ein Wort bildet. Menge aller Worte der Zielsprache: Code.

DIN 44300: Ein Code ist eine Vorschrift für eine eindeutige Zuordnung der Zeichen eines Zeichenvorrates zu denjenigen eines anderen Zeichenvorrates

..... **Codebaum des Morse-Codes**

Häufig auftretende Buchstaben durch möglichst kurze Symbolfolgen dargestellt.

..... **Direkt umkehrbare Codierungen**

Morse-Code, Binärcode

..... **Nicht direkt umkehrbare Codierungen**

$e_i \rightarrow \epsilon_i, a_i \rightarrow \epsilon_i$

..... **Entscheidungsgehalt**

6.4 Umwandlung von Zahlen in verschiedene Zahlensysteme

$$z = a_{n-1}B^{n-1} + \dots + a_0B^0 + a_{-1}B^{-1} + \dots + a_{-(m-1)}B^{-(m-1)}$$

n: Stellenzahl links vom Komma

m: Stellenzahl rechts vom Komma

a: Koeffizienten, $0 \leq a_v < B$

B: Basis

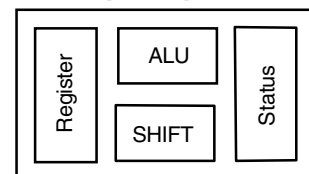
Anwendung: Horner-Schema

IEEE-Format für Darstellung:

VZ-Bit, Exponent (8 Bit), Mantisse (23 Bit)

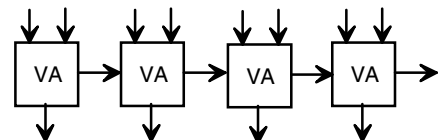
..... **Grundstruktur des Rechenwerkes**

Rechenwerk hier nur Addierwerk, bekommt A_j, B_j und \ddot{U}_{j-1} , errechnet S_j und \ddot{U}_j .



..... **Der Ripple-Carry-Adder**

Asynchroner, d.h. nicht getakteter Paralleladdierer. Zeitbedarf: $2n\tau$.



..... **Der Carry-Look-Ahead-Adder (ADD)**

Verwendet Volladdierer mit zwei neuen Datenleitungen: Carry generate (dieser VA wird Carry erzeugen) und carry propagate (dieser VA wird Übertrag weitergeben).

Steuerwerk wertet diese Übertragungsinformationen schnell aus und gibt sie weiter.

Vergleich RCA/CLAA. $n=4: 8\tau/6\tau, n=64: 128\tau/14\tau$ (bei Kaskadierung in 3 Stufen), 36τ bei einer Stufe.

..... **Synchroner Serienaddierer**

Schieberegister für Eingaben und Ausgabe, Carry über Verzögerungsglied rückgekoppelt

6a Logik-Schaltungserstellung (ADD)

6a.1 Schaltungsmöglichkeiten

Bei n binären Variablen 2^n Eingabeworte. Jeweils zwei Antwortmöglichkeiten $\Rightarrow 2^{2^n}$ Schaltungen möglich

6a.2 Min- und Max-Terme

Min-Terme: Vollständige adjunktive Normalform. Globale verORung der AND-Teile, welche eine 1 liefern.

Max-Terme: Globale verANDung der OR-Teile, welche 0 liefern: Terme suchen, welche 0 ergeben, die Variablen-Negate aufführen. \Rightarrow wird genau dann Null, wenn alle stimmen.

6a.3 Vereinfachungsmethoden

6a.3.1 Gesetze der Schaltalgebra

z.B. $x \vee \bar{x} = 1$, $x \wedge \bar{x} = 0$.

Gesetze von DeMorgan

6a.3.2 KV-Diagramme

Eingangsworte in Gray-Ordnung als Matrix-Beschriftungen, d.h. bei benachbarten Feldern ändert sich nur genau ein Bit. Min-Terme eintragen und möglichst große 1er-Quader zusammenfassen. Dabei ruhig einige 1en doppelt erfassen! Seitenlängen der Quader immer Zweierpotenzen!

6a.3.3 Quine-McCluskey

1. Min-Terme in Tabelle. Jeweils zwei zusammenfassen, bei der eine Variable und deren Negat auftauchen, abhaken. Sukzessive durchführen, bis keine Vereinfachung mehr möglich. \Rightarrow **Primimplikanten**.

2. In Matrix Primimplikanten gegen Min-Terme. Jene Primimplikanten auswählen, die genau eine Klausel abdecken. \Rightarrow **Kern**.

3. Restliche, nicht abgedeckte Klauseln gegen Primimplikanten, die nicht im Kern.

7 Integrierte Bausteine für die Logikhardware-Entwicklung

7.1 Grundlagen

AND, OR, NOT: Grundbausteine in TTL, LPSTTL, CMOS

CPU: Rechenwerk

PLD: Programmable Logic Device (Kürzere Entwicklungszeiten)

..... PLDs

Monolithische PLDs (PAL, GAL, FPLA) ???

100-500 Gatteräquivalente, 50-150MHz

Segmentierte Block-PLDs (ispLSI, FPGA) ???

500-5000 Gatteräquivalente, 25-100MHz

Channeled-Array-PLDs (LCA) ???

1000-50.000 Gatteräquivalente, 10-100MHz. Blöcke, privilegierte

Leitungen

..... Bausteinauswahl

- Komplexität soll/darf haben?

- Anzahl der benötigten Register, Anschlüsse, Taktsignale?

- Stromaufnahme?
- Verzögerungszeit?
- Kosten für Bausteine und Entwicklungswerkzeuge?
- Bereits vorhandene Werkzeuge bzw. Erfahrungen?
- Zeitrahmen für Programmierdauer?
- Löschar und wiederprogrammierbar? (isp-: in-system-programmable-)
- Mit Testvektoren oder Boundary-Scan testbar?
- Verfügbarkeit, mehrere Hersteller/Anbieter?
- Aufteilung in mehrere (günstigere) Bausteine möglich?

7.3 Programmierbare Logikbausteine

Programmierbare AND/OR-Matrix, Rückkopplung, Ein- und Ausgabesegmente
Ausgangssteuerung: Kombinatorische LA, Tristate-LA, Registerausgang

..... Struktureller Aufbau der AND/OR-Matrix

AND: Über Widerstand von U_B Verzweigung, jeweils über Sicherung und Diode aus Eingang.

=> Nur 1, wenn alle gewählten Eingänge 1.

OR: Jeder Eingang schaltet Transistor, dessen Emitter über Sicherung und R an Ausgang

..... Ersatzdarstellungen

AND- und OR-Verknüpfungen mit mehreren Eingängen durch Markierung der Kreuzungspunkte. Treiber mit und ohne Negation. Tristate-Treiber

7.3.1 Programmierbarkeit von PLDs

Eingangssignale über AND-Matrix, deren Zwischenausgänge dann über OR-Matrix an die Ausgänge gehen.

Typ	AND-Matrix	OR-Matrix	Programmierung
EEPROM	fest	programmierbar	Zwei Floating Gates
EPROM	fest	programmierbar	Ladungsträger, Floating Gate
PROM	fest	programmierbar	HW-Sicherungen
PAL	fest ???	fest	HW-Sicherungen
FPGA	programmierbar	fest	HW-Sicherungen
LCA	programmierbar	programmierbar	Ladungsträger, Floating Gate

..... Beispiel: Programmierung eines Adress-Decoders

Sechs Ausgänge sollen durch sechs Adressen selektiert werden.

TTL: Adreß-Signale oder Negate verANDen, all diese verORen => Selekt-Signal

PLD: In einem Baustein Signale oder Negate in Matrix ANDen

7.3.2 GAL-Bausteine (Generic Array Logic)

Logikfunktionen durch Produktterme (AND-Matrix) und OR-Matrix

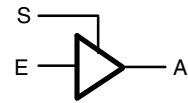
Ausgangslogikblöcke (OLMC: Output logic macro cell):

- Kombinatorische sequentielle Schaltung
- Tristate-Ausgang
- Registerausgänge

Typische Variante: MUX für Direkt, Register, Inverses Register. Dieser Ausgang durch weitere Leitung tristate-bar und über Muxer normal und invertiert zurück in Matrix.

Kombinatorische Logiksaltungen: Aus reinen Verbindungsgliedern aufgebaut, enthalten keine Rückkopplungsleitungen oder Speicherglieder. Reagiert umgehend (bis auf Signallaufzeiten)

Tristate-Ausgänge: Mehrere Ausgänge auf dieselbe Leitung, darf aber immer nur ein Ausgang aktiv sein. 1-Potential, 0-Potential, Ausgang hochohmig.



Registerausgänge: Ergebnis wird über D-Flipflop geführt und steht somit erst nach nächster positiver Taktflanke am Ausgang an.

Programmierung der OLMC durch 2-Bit-Wort: Pin-n Eingang/Ausgang/Register/Tristate

..... **GAL-Programmierung**

Programmiercode als JEDEC-File:

* Identifikation

CHIP 7Segment GAL22V10

*Type

...

* Pinbelegung

A	B	C	D	NC	NC	...	GND
a	b	c	d	e	f	...	VCC

* Boolesche Gleichungen

a = A;

b = (/A * /B * /C) + D; + OR, * AND, / NOT

c := B; Register-Output durch := ???

...

Umsetzung in Bit-Code:

- 2 Blöcke korrespondieren mit AND / OR-Matrix, 0: Verschaltet, 1: Nicht verbunden

- Signaturwort

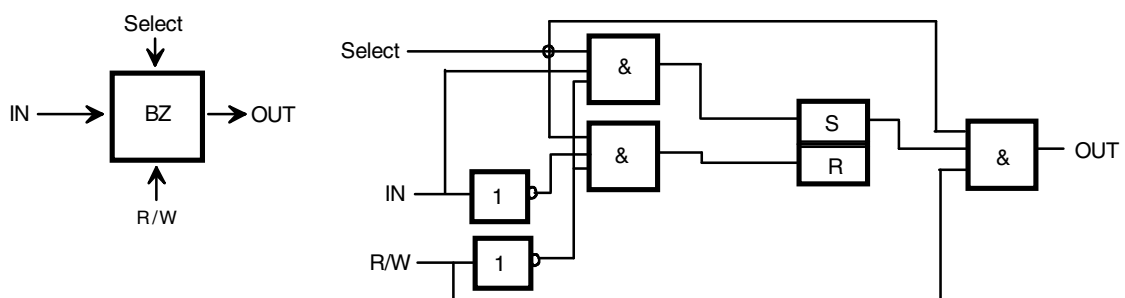
- Architektur-Kontrollwort

- Sicherheitszeile

..... **Beispiel: Schieberegister**

n-Bit-Schieberegister: Enable, Clock, Clear, Ausschub

..... **Beispiel: Bit-Speicher**



Größere Speicher durch Matrixorganisation: Adreßdecoder wählt Zeile der Matrix, in Spalten die einzelnen Datenleitungen je Bit. Ausgänge OR-verschaltet, R/W an alle gleichzeitig.

8 Informationsverarbeitung

8.1 Darstellung von Informationen

(vgl. Kapitel 6)

8.2 Grundstruktur eines Schaltwerkes/Rechenwerkes

- > Operationen +, -, *, /
- > Synchronisations-, Steuerwerk

8.4 Textuelle Verhaltensbeschreibung

Beispiel:

box ADD

input A, B <0,...,3> : RT; (RT: Registertransfertyp)

c : RT;

output S <0,...,3> : RT;

Ü : RT;

begin

S = (A+B+C) mod 16;

(A+B+C < 16) : Ü=0;

(A+B+C ≥ 16) : Ü=1;

Strukturbeschreibung:

Graphische Form: 8 Volladdierer kaskadieren.

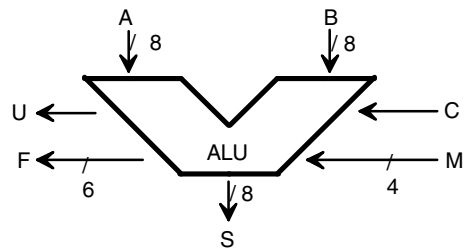
Weiter zerlegt:

Schaltung alleine durch NAND-Gatter

..... Elementare Funktionseinheit

Auf einer gegebenen Datenübertragungs- oder Verarbeitungseinheit nicht mehr zerlegbares Element.

..... ALU: Arithmetic-Logical-Unit, Rechenwerk



..... VHDL (VLSI Hardware Description Language)

- Systemebene (charakteristische Struktur)
- Algorithmische Ebene (Prozeduren, Kontrollstrukturen)
- Registertransferebene (Funktionalität)
- Logikebene (Gatter)
- Schaltkreisebene (Transistor, ...)
- Geometrieebene

VHDL-Konstrukt:

- Entity: Schnittstelle für das „modellierende System“
- Architecture: Verhaltensbeschreibung
- Configuration
- Package

Beispiel:

Entity and2

Port (in1, in2 : IN bit; and-out : OUT bit)

END and2

Architecture number_one and2

Begin

and_out <= in1 AND in2;

```

END number_one
Configuration and2_config
  FOR number_one
  FOR AND2
END and2_config
    
```

9 Mikro-Architektur

9.1 **Endlicher Automat**

Übergänge von einem Zustand zu dessen Nachfolgern von einer Eingangsinformation abhängt. Anzahl der Zustände beschränkt, so spricht man von endlichem Automaten.

9.2 **Schichtenmodell**

- Logikebene
- Micro Code
- Maschinencode

..... **Beispiel**

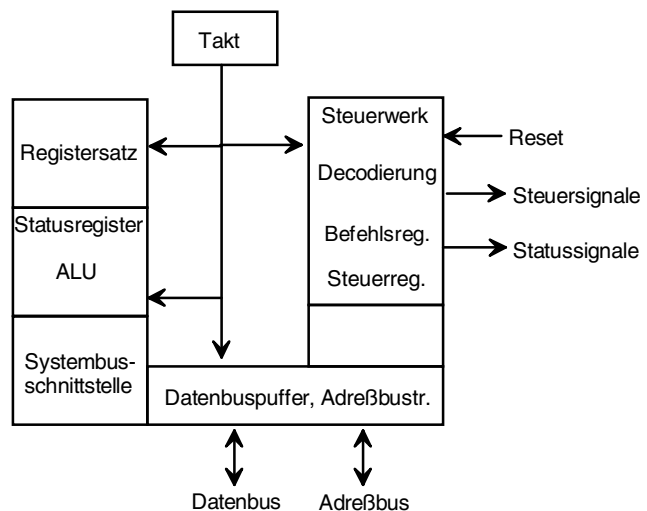
Hypothetisches Format einer Speicherzelle:

- 4-bit OP-Code
- Modifikation: Angabe, wie auf Operanden zuzugreifen
- Adresse/Wert

Befehlssatz: 0000 HLT 0001 LAD: Operand in Akku, ...

9 Microprozessor

..... **Prinzipieller Aufbau eines Microprozessors**



Prozessor an Adreßbus, Steuerbus, Datenbus.

Dabei Hardware, Firmware und Software

..... **Steuerwerk**

- Initialisierung
- Wiederhole endlos:
 - Hole OP-Code

- Wiederhole solange, bis Operanden vollständig
- Verknüpfungen / Transfers / Verzweigungen

=> **Mealy**-Automat

Realisierung

- Mikroprogrammiert (Firmware)
- Mikroprogrammierbar (bit slice ???, μ P, PLD)
- Festverdrahtet

..... **Beispiel: MC6802**

16 Bit Adreßbus, => 64k Speicher, davon \$E000-\$E6FF Anwender-Speicher. 8 Bit Datenbus
6 interne Register: 8 Bit Akkumulatoren **A** und **B**, Indexregister **X**, Programmzähler **PC**,
Stackpointer **SP**, Statusregister **CC**.

CC: Carry, Overflow, Zero, Negative, Interrupt, Halfcarry

Adressierungsarten: Unmittelbar, Direkt, Erweitert, Indiziert, Implizit, Akku, Relativ

Anzeige: JSR DISP zeit 7-Segmentcode con \$E7A8-\$E7AF

Befehle: **ABA** (Add B to A), **ADD** unmittelbar, **ASL** (Arithmetic shift left), **BNE** (Branch if not equal relative), **DEC**, **INC**, **JSR** (Jump Subroutine), **LDA** (Load A), **LDX** (Load Indexregister), **LSR** (Logical shift right), **STA** x (Store Akku x), **SUB**.

Literatur:

Schiffmann/Schmitz, Technische Informatik 1, Springer-Verlag

Morgenstern, Elektronik 1/2, Vieweg-Verlag

Ebner, Technische Grundlagen der Informatik, Springer-Verlag

Borucki, Digitaltechnik, Teubner-Verlag